

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-094597

(43)Date of publication of application : 07.04.1995

(51)Int.Cl.

H01L 21/8242

H01L 27/108

G11C 11/401

(21)Application number : 05-235016

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 21.09.1993

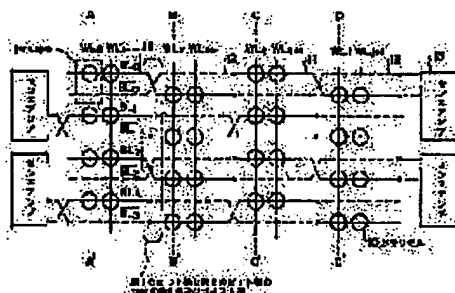
(72)Inventor : TAKASHIMA DAIZABURO
OZAKI TORU
NAKANO HIROAKI

(54) DYNAMIC SEMICONDUCTOR MEMORY

(57)Abstract:

PURPOSE: To provide a DRAM in which the memory size can be reduced while employing a folded BL system and high integration of memory cell is realized while suppressing the noise.

CONSTITUTION: In the DRAM, the bit line comprises a first bit line 11 connected directly with a memory cell 10, and a second bit line 12 arranged thereon. The memory cell array is split for each of a plurality of word lines in the direction of the bit line. At the border of split, the first bit line 11 of odd number is connected with the second bit line 12 in an adjacent region and the second bit line 12 of odd number is connected with the first bit line 11 in an adjacent region. At a next border, the first bit line 11 of even number is connected with the second bit line 12 in an adjacent region and the second bit line 12 of even number is connected with the first bit line 11 in an adjacent region. The first and second bit lines 11, 12 constitute a folded BL.



LEGAL STATUS

[Date of request for examination] 08.03.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3354230

[Date of registration] 27.09.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-94597

(43) 公開日 平成7年(1995)4月7日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/8242				
27/108				
G 1 1 C 11/401		7210-4M	H 0 1 L 27/ 10 3 2 5 P G 1 1 C 11/ 34 3 6 2 B 審査請求 未請求 請求項の数3 OL (全 9 頁)	

(21) 出願番号 特願平5-235016

(22) 出願日 平成5年(1993)9月21日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 高島 大三郎

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝研究開発センター内

(72) 発明者 尾崎 徹

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝研究開発センター内

(72) 発明者 中野 浩明

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝研究開発センター内

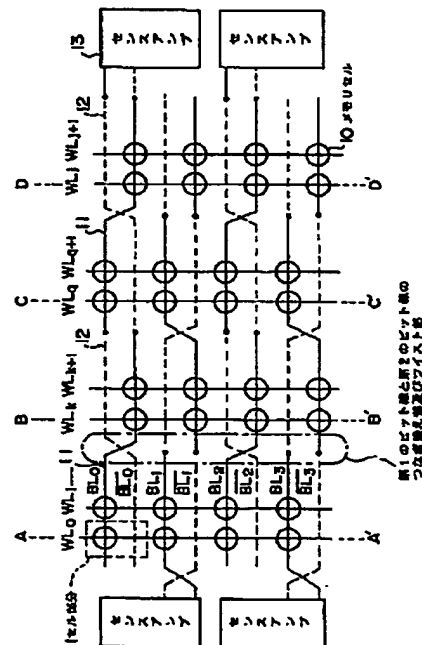
(74) 代理人 弁理士 鈴江 武彦

(54) 【発明の名称】 ダイナミック型半導体記憶装置

(57) 【要約】

【目的】 フォールデッドBL方式でありながらメモリセルサイズを小さくすることができ、メモリセルの高集積化と共にノイズの低減をはかり得るDRAMを提供すること。

【構成】 DRAMにおいて、ビット線をメモリセル10に直接接続された第1のビット線11と、第1のビット線11の上に配置された第2のビット線12で構成し、メモリセルアレイを複数本のワード線毎にビット線方向に分割し、その分割境界で、奇数番目の第1のビット線11が隣接領域の第2のビット線12に、奇数番目の第2のビット線12が隣接領域の第1のビット線11に切換え接続され、次の分割境界で、偶数番目の第1のビット線11が隣接領域の第2のビット線12に、偶数番目の第2のビット線12が隣接領域の第1のビット線11に切換え接続され、第1、第2のビット線11、12がフォールデッドBL構成をなすこと。



【特許請求の範囲】

【請求項1】メモリセルがマトリックス配置されたメモリセルアレイと、メモリセルに直接接続された第1のビット線と、第1のビット線の上に配置された第2のビット線と、各々のビット線に交差する方向に配置されたワード線とを具備してなり、

前記メモリセルアレイは複数本のワード線毎にビット線方向に分割され、その分割境界で複数本の第1及び第2のビット線のうちの半分は、第1のビット線が隣接領域の第2のビット線に、第2のビット線が隣接領域の第1のビット線に切り換え接続され、第1のビット線と第2のビット線がビット線対をなすフォールデッドビット線構成をなすことを特徴とするダイナミック型半導体記憶装置。

【請求項2】メモリセルがマトリックス配置されたメモリセルアレイと、メモリセルに直接接続された第1のビット線と、第1のビット線の上に配置された第2のビット線と、各々のビット線に交差する方向に配置されたワード線とを具備してなり、

前記メモリセルアレイは複数本のワード線毎にビット線方向に分割され、所定の分割境界で、複数本の第1及び第2のビット線の半分は立体交差し、残りの半分は次の分割境界で立体交差し、第1のビット線と第2のビット線がビット線対をなすフォールデッドビット線構成をなすことを特徴とするダイナミック型半導体記憶装置。

【請求項3】第1のビット線はメモリセルに直接接続されておらず、第1のビット線の下にビット線方向に分割されて各々複数個のメモリセルに直接接続された第3のビット線が配置され、第3のビット線は各々トランスファグメントを介して第1のビット線に接続されていることを特徴とする請求項1又は2に記載のダイナミック型半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、ダイナミック型半導体記憶装置(DRAM)に係わり、特にメモリセルアレイの高密度化とノイズの低減の両立を可能とするダイナミック型半導体記憶装置に関する。

【0002】

【従来の技術】近年、1トランジスタ/1キャパシタのメモリセル構造を持つDRAMは、メモリセル構造の改良と微細加工技術の進歩により著しく高集積化が進んでおり、ビット線やワード線等の配線、トランジスタの設計ルールも縮小している。このDRAMにおけるセンスアンプ方式としては、16Kビットまではオープン・ビットライン方式(Open Bit Line: 以後オープンBL方式と記す)が用いられ、16Kビット～現在の64Mビットまでの世代ではフォールデッド・ビットライン方式(Folded Bit Line: 以後フォールデッドBL方式と記す)が用いられているのが現状である。

【0003】従来のオープンBL方式とフォールデッドBL方式の構成を、図13に示す。(a)はオープンBL方式、(b)はフォールデッドBL方式である。64KビットDRAM時代から現在まで主流のフォールデッドBL方式は、ワード線とビット線の交点のうちの半分にしかメモリセルがなく、1つのセルアレイ内でビット線対を構成するため、アレイ内で発生したノイズはビット線対の両方に乗るためノイズに強い特徴がある。

【0004】しかしながら、フォールデッドBL方式では、ワード線とビット線の交点の半分にしかメモリセルを配置できず、メモリセル部の面積が大きくなってチップサイズが拡大する問題がある。特に、64Mビット、256Mビット以上のDRAMにおいて、DRAMの製造での困難さから容易に設計ルールを縮小することが不可能となってきており、現在のフォールデッドBL方式では、オープンBL方式に比べてメモリセル部の縮小が困難であることが大きな問題となっている。

【0005】これに対して、オープンBL方式は、ビット線とワード線の交点の全てにメモリセルを配置できるため、メモリセル部の面積を縮小できる利点があるが、ビット線対が異なるセルアレイにあるため、1つのアレイで発生したノイズは、ビット線対の一方にしか乗らず、ノイズに対して弱い欠点がある。さらに、ビット線とワード線の交点内全てにメモリセルが付き、1ワード線当たりのビット線容量が大きいため、ワード線の数をあまり多くすることはできず、結果としてチップ内のセンスアンプの数が多くなってしまい、それほどチップサイズを小さくすることができない欠点があった。

【0006】

【発明が解決しようとする課題】このように従来のDRAMにおいては、フォールデッドBL方式はノイズに強いがメモリセルサイズが小さくならず、オープンBL方式はメモリセルサイズが小さくなるがノイズに弱い欠点があった。

【0007】本発明は、上記事情を考慮してなされたもので、その目的とするところは、フォールデッドBL方式でありながらメモリセルサイズを小さくすることができ、メモリセルの高集積化と共にノイズの低減をはかり得るDRAMを提供することにある。

【0008】

【課題を解決するための手段】上記課題を達成するために本発明は、次のような構成を採用している。即ち、本発明(請求項1)は、メモリセルがマトリックス配置されたメモリセルアレイと、メモリセルに接続されたビット線と、ビット線と交差する方向に配置されたワード線とを備えたDRAMにおいて、ビット線をメモリセルに直接接続された第1のビット線と、第1のビット線の上に配置された第2のビット線で構成し、メモリセルアレイを複数本のワード線毎にビット線方向に分割し、その分割境界で複数本の第1及び第2のビット線のうちの半分

3

は、第1のビット線を隣接領域の第2のビット線に、第2のビット線を隣接領域の第1のビット線に切り換え接続し、第1のビット線と第2のビット線がビット線対をなすフォールデッドビット線構成としたことを特徴としている。

【0009】また、本発明(請求項2)は、メモリセルがマトリックス配置されたメモリセルアレイと、メモリセルに接続されたビット線と、ビット線と交差する方向に配置されたワード線とを備えたDRAMにおいて、ビット線をメモリセルに直接接続された第1のビット線と、第1のビット線の上に配置された第2のビット線で構成し、メモリセルアレイを複数本のワード線毎にビット線方向に分割し、所定の分割境界で、複数本の第1及び第2のビット線の半分は立体交差し、残りの半分は次の分割境界で立体交差し、第1のビット線と第2のビット線がビット線対をなすフォールデッドビット線構成としたことを特徴としている。

【0010】ここで、本発明の望ましい実施態様としては、次のものがあげられる。

(1) 第1のビット線はメモリセルに直接接続されており、第1のビット線の下にビット線方向に分割されて各々複数個のメモリセルに直接接続された第3のビット線が配置され、第3のビット線は各々トランスファグメントを介して第1のビット線に接続されていること。

(2) 第1のビット線と第2のビット線を切り換える境界部分で、第4又は第4と第5の配線を用いることにより、切り換えに用いる全てのコンタクトにおいて、コンタクト柱とそれに水平に配線される他層間との距離 P_1 が第1のビット線、第2のビット線の幅/間隔を L_1/S_1 、 L_2/S_2 とすると、近似的に $P_1 = S_1$ 、 S_2 であり、かつ $S_1 \leq P_1 < 2S_1$ 、 $S_2 \leq P_1 < 2S_2$ であること。

【0011】

【作用】本発明によれば、第1のビット線とワード線の交点の全てにメモリセルが存在するため、従来のフォールデッドBL方式の倍メモリセルが配置でき、オープンBL方式と同等のメモリセルの高密度化ができる。しかも、第1のビット線の配線幅/間隔が密に配線されている上に第2のビット線が配置され、アレイの途中で第1のビット線と第2のビット線が切り換わりしているため、第1のビット線と第2のビット線とでフォールデッドBLを形成してノイズの低減をはかることができる。

【0012】また、第1のビット線と第2のビット線の所定の切り換えの境界で、ビット線対の半分が立体交差し、次の境界部で残りの半分が立体交差することにより、境界部での設計ルールが緩和できる。しかも、第1と第2のビット線の配線幅/間隔が密に配置できるため高密度化が可能であり、さらに立体交差することにより従来のツイスト以上にビット線間ノイズが低減できる。

【0013】

4

【実施例】以下、図面を参照しながら実施例を説明する。

(実施例1) 図1は、本発明の第1の実施例に係わるDRAMの構成を示す図である。

【0014】丸印のメモリセル10に対し、縦方向にワード線WL(WL0, WL1...)が配置され、横方向に実線の第1のビット線11が配置されている。隣接する第1のビット線11の上側に点線の第2のビット線12が配置されている。そして、第1及び第2のビット線11, 12がビット線対をなし、左右のセンスアンプ13に接続されてフォールデッドBL方式を形成している。

【0015】黒印は第1及び第2のビット線11, 12の接続切り換え点を示す。この図ではセルアレイを大きく4分割し、例えばBL0は左半分では第1のビット線11につながり、右半分では上の第2のビット線12につながる。逆に、/BL0は左半分では通過ビット線として上の第2のビット線12につながり、右半分ではメモリセルに接続する第1のビット線11につながる。そして、BL0, /BL0はフォールデッドビット線対をなし、センスアンプ13につながる。

【0016】このように第1, 第2のビット線11, 12を用いることにより、例えばワード線WL0が選択された時、メモリセルデータはBL0, /BL0のうちBL0にのみ読み出されるので、フォールデッドBL方式となる。従って、オープンBL方式よりアレイノイズは大幅に減少する。これにより、ワード線1本当たりのビット線容量も減り、センスアンプ13につながるワード線数も増加してチップサイズを小さくできる。

【0017】さらに、1層のビット線で構成するフォールデッドBL方式と異なり、本実施例では、例えば図で第2ビット線12を除いて見るとワード線と第1のビット線11の交点全てにメモリセルが配置されているため、メモリセルサイズをフォールデッドBL方式の半分即ち、オープンBL方式と同等にできる。

【0018】第1のビット線11の幅/間隔は、第2のビット線12の幅/間隔に拘らず最密にできる。4分割したアレイの境界ではビット線対の半分は第1, 第2のビット線11, 12の切り換えが行われ、また残りの半分は第1, 第2のビット線11, 12の立体交差となる。この組合せにより後述するように、第1, 第2のビット線各々の最密の幅/間隔が実現され、さらに従来のビット線のツイスト以上にフォールデッドBL方式のビット線間のカップリングノイズを低減できる。

【0019】図2(a)に、図1のA-A'の部分の断面図の例を示す。メモリセル10は第1のビット線11にビット線ダイコン4によりコンタクトが取られ、第1のビット線11の間の上に第2のビット線12が形成される。

【0020】図2(b)は、第1の実施例に適用できるメモリセルの例を示す。基板表面にトランスファグメント

50

5

としてのMOSTランジスタを形成し、基板に設けたトレンチ16にキャパシタ17を設けている。そして、MOSTランジスタのゲート15をワード線WLに接続し、ソースにキャパシタ17を接続し、ドレインに第1のビット線11を接続している。

【0021】図3は、第1の実施例の長丸で囲ってある部分、即ち第1のビット線11と第2のビット線12のつなぎ換え部及びツイスト部のレイアウト図を示す。また、図4は図3のE-E'の断面図を示している。このレイアウトでは、第1、第2の配線(第1、第2のビット線11、12)の他に、新たに第4の配線24を用いている。

【0022】左から入る第2のビット線12のうち/BL0は第4の配線24に一度切り換えられ、第2のビット線12に戻される。そして、第1のビット線11としてのBL0と中央で立体交差している。左から入る第1のビット線11のうちBL1は第1のビット線11から第2のビット線12につなぎ換えられ、第2のビット線12のうち/BL1は第4の配線24を用いて、第2のビット線12から第1のビット線11に切り換えられ

る。【0023】このようにBL0、/BL0は立体交差、BL1、/BL1は切り換えと、半分を立体交差にし、つなぎ換えの数を減らし、さらに第4の配線24を用いることにより、つなぎ換え部でのコンタクトと、このコンタクト柱と他の配線間の距離をほぼ各配線の間隔の基本ルール(F)まで広げることができる。即ち、図で $P1 = F$ となる。

【0024】従来法のコンタクトでは、 $P1 = F$ とするとコンタクトサイズをF、ライン: LをFとすると、スペース: Sは $S = F + F + F = 3F$ になってしまう。即ち、 $L \leq S < 2L$ とすることは困難であるし、 $P1$ をS以上にする。即ち、 $S \leq P1$ も困難である。上のように、この境界部におけるパターン配置により本実施例では、境界のつなぎ換えのルールに決まらず、各配線第1のビット線、第2のビット線の線幅/間隔を最小ルールまで縮小でき、小さなメモリセルアレイにすることができる。

【0025】図5は他の境界のレイアウトの例で、第1のビット線11から第2のビット線12へのコンタクトを直接取ることができない場合の例を示して。この場合、図のように第5の配線25を用いて、第1のビット線11から第5の配線25へ切り換え、次に第2のビット線12に戻している。

【0026】図6は、図1の実施例で示すような第1、第2のビット線の立体交差をした場合のビット線間のカップリングを示している。図6の(a)(b)(c)(d)はそれぞれ図1のA-A'、B-B'、C-C'、D-D'の断面に対応している。

【0027】下側の第1のビット線間の容量(全体の4

6

分割した1/4の部分)をC3、上側の第2のビット線間の容量をC1、上下のビット線間の容量をC2とすると、図1の4種類の部分の容量は図6のようになる。ここでは、ビット線対BL1、/BL1に注目して見ている。

【0028】ビット線を立体交差させることにより、各ビット線間の容量の総計は、図7のようになる。ビット線対BL1、/BL1各々に対して、他のビット線BL2、/BL2、BL0、/BL0からのカップリングは全て、 $C1 + C2 + C3$ となり、BL1、/BL1は同じカップリングによるノイズを受けるため、BL1、/BL1の電位差をセンスアンプで読み出す時、これらのカップリングノイズは全てキャンセルされる。

【0029】よって、残るノイズはBL1、/BL1線間のカップリング4C2だけとなり大幅にノイズが低減できる。従来のビット線のツイストは、ビット線対BLa、/BLa間の容量C1と他のビット線対間と容量C2が等しく、($C1 = C2$)ツイストしても、C2によるカップリングノイズが低減できるだけでノイズが半減しかなかったが、本方式ではメモリセルへのコンタクト柱間の容量も含む大きなC3の容量やC1の容量が全てキャンセルでき、容量の小さいC1、(これは第1と第2のビット線間の層間を大きくすればさらに減る)のみ残るので大幅にノイズが低減できる。

【0030】図8、図9は第1の実施例の変形例を示す。いずれも、センスアンプ13の接続を変えたものである。センスアンプ13の接続をこのように変えても、第1のビット線11と第2のビット線12が対となってフォールデッドBL方式をなすことに何等変りない。

【0031】この組合せにより、ビット線対内のノイズはキャンセルされ、ビット線対外のノイズは残るが、全体としてノイズは減る。このように本実施例によれば、ビット線とワード線の交点にメモリセルが存在する従来のフォールデッドBL方式の2倍のメモリセルが配置でき、オープンBL方式と同等のメモリセルの高密度化ができる。しかも、第1のビット線11の配線幅/間隔が密に配線されている上に第2のビット線12が配置され、アレイの途中で第1のビット線11と第2のビット線12が切り換わりしているため、第1のビット線11と第2のビット線12とでフォールデッドBLが形成でき、ノイズを大幅に低減することができる。さらに、第1のビット線11と第2のビット線12の切り換えの境界で、ビット線対の半分が第1から第2に、第2から第1のビット線に切り換わり、残りの半分が立体交差することにより、境界部での設計ルールが緩和でき、第1及び第2のビット線11、12の配線幅/間隔が密に配置できるため、高密度化が可能となる。しかも、立体交差することにより、従来のツイスト以上にビット線間ノイズが低減できる。

(実施例2) 図10は、本発明の第2の実施例に係わる

50

DRAMの構成を示す図である。なお、図1と同一部分には同一符号を付して、その詳しい説明は省略する。

【0032】この実施例が先に説明した第1の実施例と異なる点は、メモリセル10に直接接続される第3のビット線23を新たに設けたことにある。即ち、第1の実施例では第1のビット線11に直接メモリセル10が接続されていたが、本実施例では4分割されたメモリセルアレイの第1のビット線11に、ブロック選択用のトランジスタ27を介して複数本の第3のビット線23を接続し、さらにこれらの第3のビット線23にメモリセル10を直接接続している。

【0033】図11は、図10のF-F'の断面の例を示す。第3のビット線23の上に第1ビット線11があり、その上に第2のビット線12があり、ビット線が3層あることになる。

【0034】このような構成において、例えばワード線WL0が選択された場合、ブロック選択線SWL0も選択され、メモリセルデータはビット線対BL0、/BL0のうちのBL0に読み出され、フォールデッドBL方式となる。この時、選択された部分以外のメモリセルの容量は、ブロック選択線がオフしているため、第1、第2のビット線11、12に対して見えないため、全体のビット線容量が小さくなる。

【0035】従って本実施例は、第1の実施例よりも多く、セルアレイ内のワード線数を増加することができ、結果としてセンスアンブ面積が小さくなりチップサイズが縮小できる。勿論、ビット線の交差等、他の効果は第1の実施例と同じである。これらは勿論、従来のオープン型のセルに対してフォールデッドBL構成にできることでチップ面積を小さくしつつノイズが低減できる。

(実施例3) 図12は、本発明の第3の実施例に係わるDRAMの構成を説明するためのもので、第2の実施例のブロック選択線(SWL)の変形例を示している。図10ではブロック選択のトランジスタ27のドレイン側の両側に第3のビット線23が配線されているが、図12では第3のビット線23をドレイン側の片側にしか配線していない。

【0036】このような構成であっても第2の実施例と同様の効果が得られる。また、本実施例ではブロック選択トランジスタ27の数が増えるが、縦型トランジスタが用られない場合や、隣のビット線対にトランジスタがないため、ルールを緩和できる利点がある。なお、本発明は上述した各実施例に限定されるものではなく、その要旨を逸脱しない範囲で、種々変形して実施することが

できる。

【0037】

【発明の効果】以上詳述したように本発明によれば、ビット線をメモリセルに直接接続された第1のビット線と、第1のビット線の上に平行に配置された第2のビット線で構成し、分割境界で第1及び第2のビット線のうちの半分は、第1のビット線を隣接領域の第2のビット線に、第2のビット線を隣接領域の第1のビット線に切り換え接続することにより、フォールデッドBL方式でありながらメモリセルサイズを小さくすることができ、メモリセルの高集積化と共にノイズの低減をはかり得るDRAMを実現することが可能となる。

【図面の簡単な説明】

【図1】第1の実施例に係わるDRAMの構成を示す図。

【図2】図1のA-A'の部分の断面及び使用するメモリセルの例を示す図。

【図3】第1の実施例における第1、第2のビット線のつなぎ換え部及びツイスト部のレイアウト例を示す図。

【図4】図3のE-E'の部分の断面を示す図。

【図5】第1、第2のビット線のつなぎ換え部及びツイスト部の他のレイアウト例を示す図。

【図6】ビット線の立体交差をした場合のビット線間のカップリング容量を示す図。

【図7】ビット線間のカップリング容量をまとめて示す図。

【図8】第1の実施例の変形例を示す図。

【図9】第1の実施例の別の変形例を示す図。

【図10】第2の実施例に係わるDRAMの構成を示す図。

【図11】図10のF-F'の部分の断面を示す図。

【図12】第3の実施例に係わるDRAMの構成を示す図。

【図13】従来方式を説明するための図。

【符号の説明】

10…メモリセル

11…第1のビット線

12…第2のビット線

13…センスアンブ

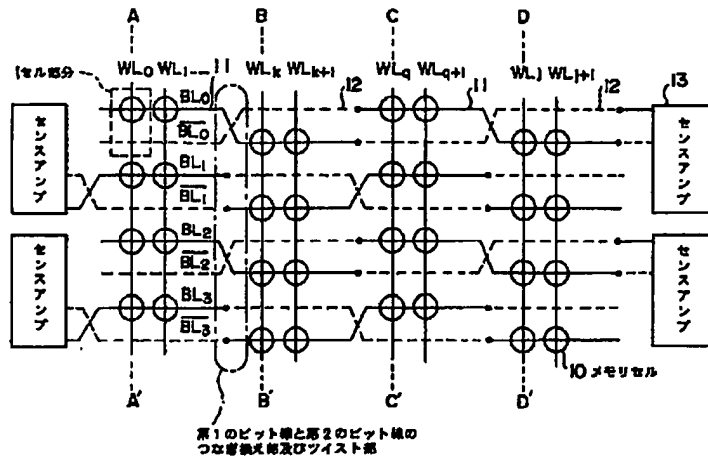
23…第3のビット線

24…第4の配線

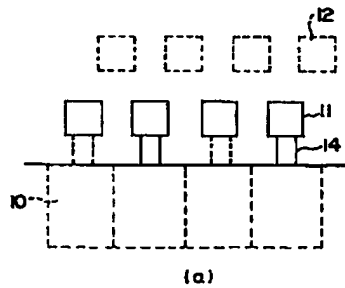
25…第5の配線

27…ブロック選択用トランジスタ

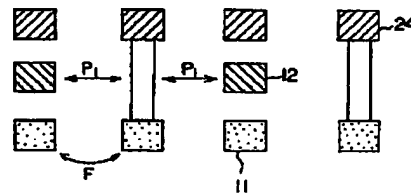
【 図1 】



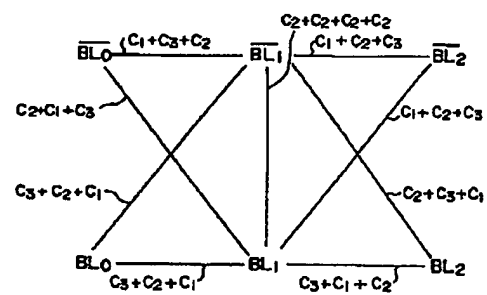
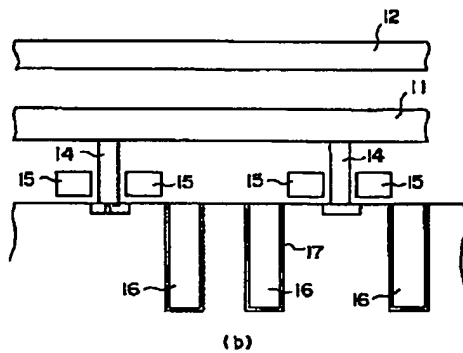
【 図2 】



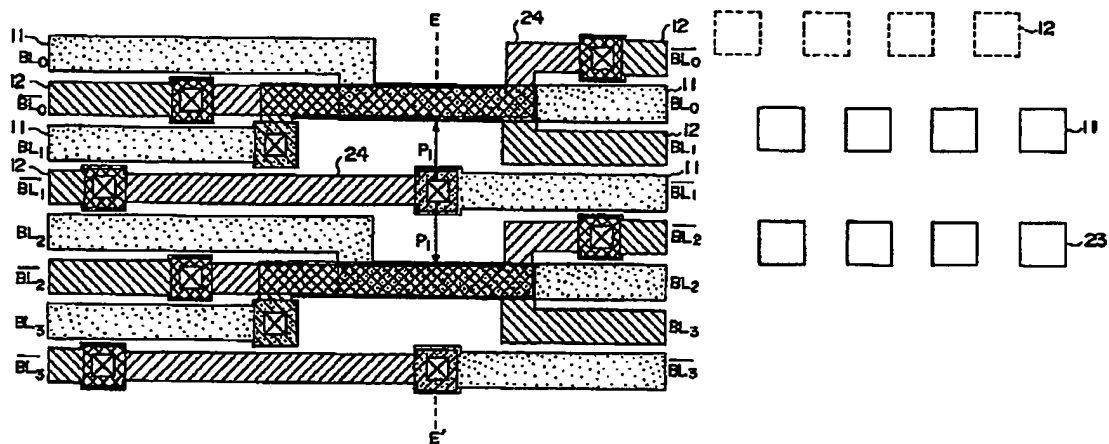
【 図4 】



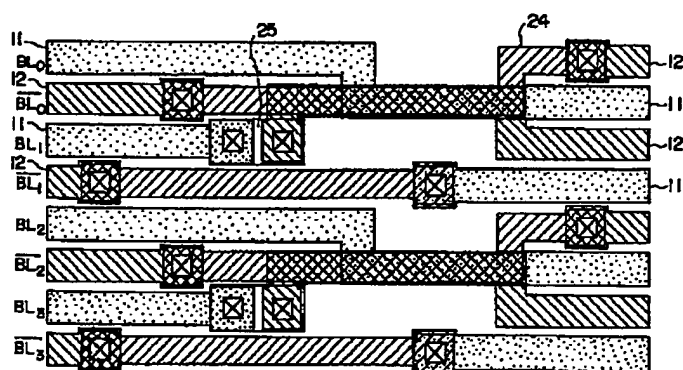
【 図7 】



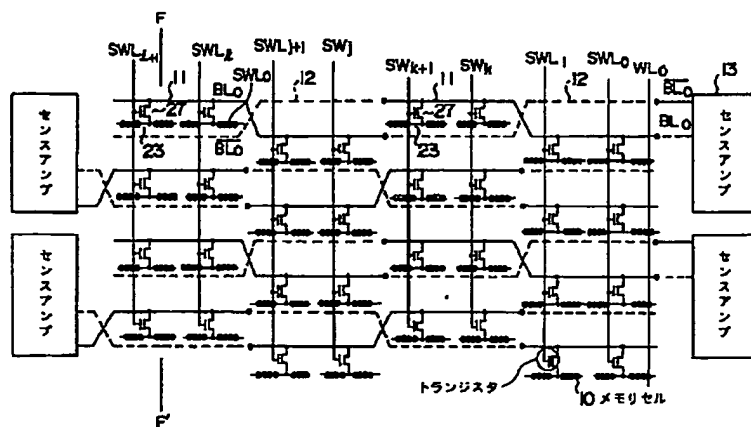
【 図 1 1 】



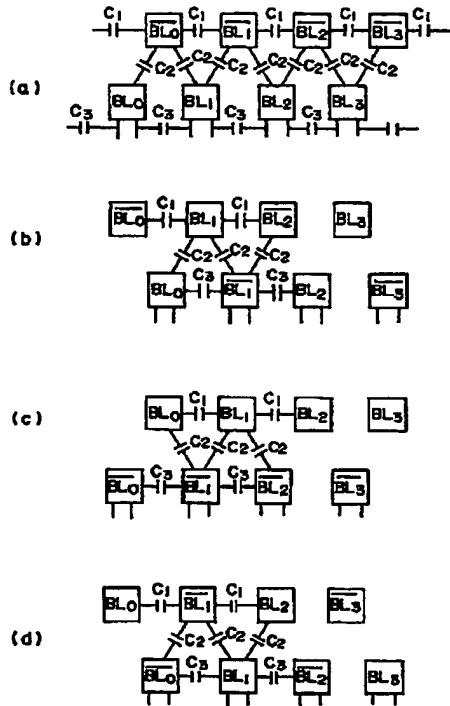
【 図5 】



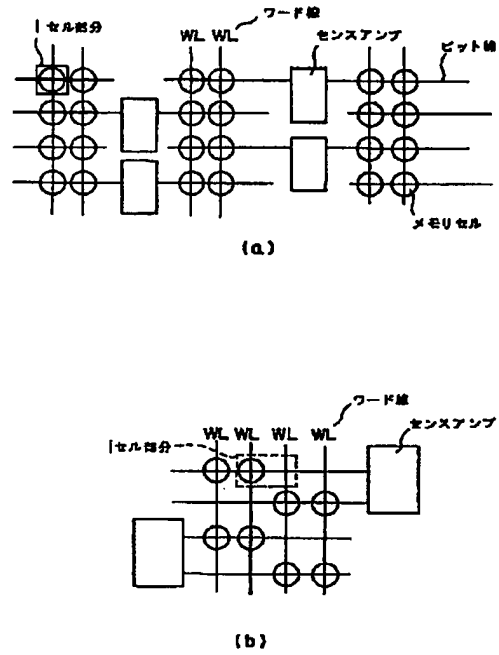
【 図10 】



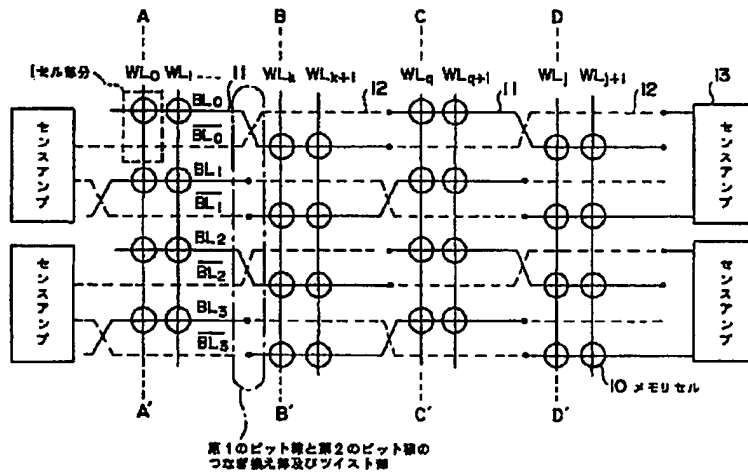
【 図6 】



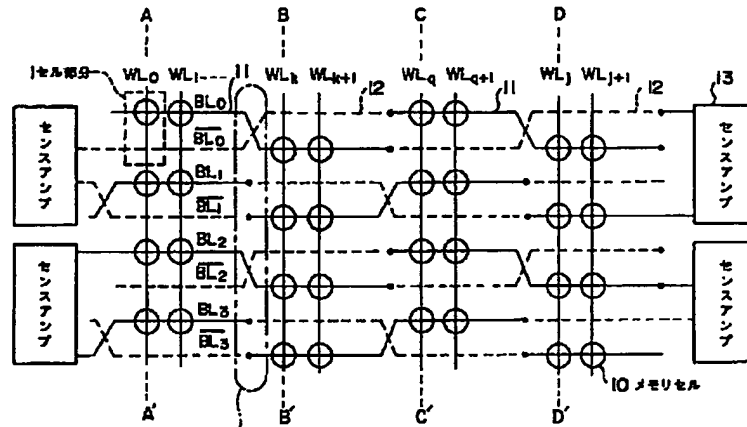
【 図13 】



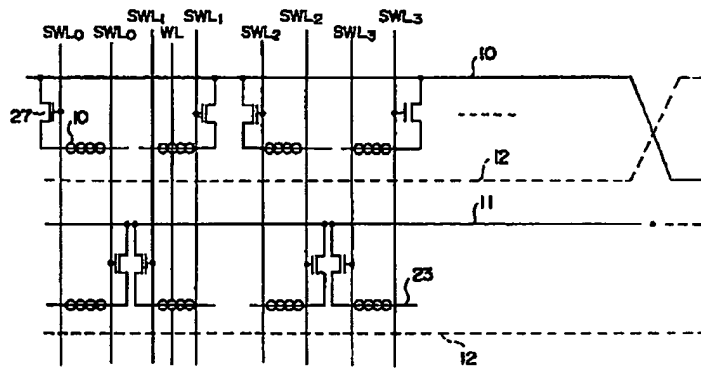
【 図8 】



【 図9 】

図1のビット線と図2のビット線の
つながり方及びワイスト部

【 図12 】



Job : 38
Date: 2002/08/08
Time: 16:41:35

36. A hard disk drive as described in claim 26 wherein said read head includes an MR element, and wherein said write head is formed with a write head tip having a tip width W, and wherein said MR element has a width that is from approximately 1/10th of W.

37. A method for operating a read/write head of a hard disk drive, wherein said read/write head is disposed upon a hard disk drive slider member, and wherein said write head is disposed upon a surface of said slider element, and an electromagnetic field shield is disposed upon said write head, and said read head is disposed upon said electromagnetic field shield, comprising the steps of:

writing data onto magnetic media of a hard disk utilizing said write head;

reading data from said magnetic media of said hard disk utilizing said read head, said step of reading data being conducted simultaneously with said step of writing data;

generating an interference electromagnetic field at said read head, said interference electromagnetic field being directed oppositely to an electromagnetic field that is generated by said write head at said read head; and

shielding said read head from electromagnetic field energy generated by said write head by utilizing said electromagnetic field shield that is disposed between said write head and said read head.

38. A method as described in claim 37 wherein said step of generating an interference electromagnetic field is conducted simultaneously with said step of writing data.

39. A method as described in claim 38 wherein said step of writing data is conducted by providing electrical power to said write head.

40. The method as described in claim 39 wherein said electrical power that is provided to said write head is also utilized to generate said interference electromagnetic field.